

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-282893

(43)Date of publication of application : 07.10.1992

(51)Int.Cl.

H05K 3/46

(21)Application number : 03-045240 (71)Applicant : FUJITSU LTD

(22)Date of filing : 11.03.1991 (72)Inventor : KOBAYASHI HIROMITSU

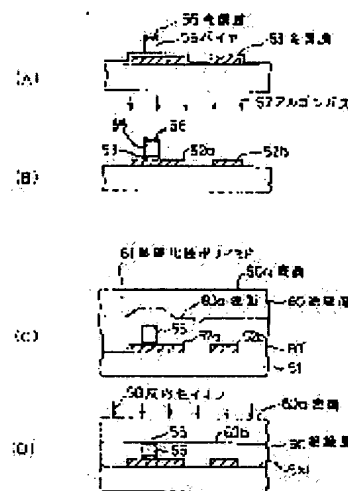
## (54) MANUFACTURE OF THIN-FILM MULTILAYER SUBSTRATE

### (57)Abstract:

**PURPOSE:** To increase the performance and reliability of a via and a conductor inside the layer, in a method of manufacturing a thin-film multilayer substrate which is required to be fine and multilayered.

**CONSTITUTION:** On the base material 51 of a substrate, lower conductor interconnections 52a, 52b are formed and then a via 55 is formed.

After that, an insulated layer 60 is formed in such a depth that the surface 60a may be flat without being affected by the shape of the via 55, etc. Then, the insulated layer 60 is dry-etched to form a flat surface 60a with the end of the via 55 being exposed. On the flat surface 60b, an upper conductor interconnection is formed in such a condition that it may be brought into contact with the via 55. By this method, the via is formed independently and thereby the structure is strong and the upper conductor interconnection has no unevenness. Therefore, the electric performance and reliability can be increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-282893

(43) 公開日 平成4年(1992)10月7日

(51) Int.Cl.<sup>5</sup>

H 0 5 K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

E 6921-4E

N 6921-4E

審査請求 未請求 請求項の数3(全15頁)

(21) 出願番号 特願平3-45240

(22) 出願日 平成3年(1991)3月11日

(71) 出願人 00005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 小林 博光

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦 (外2名)

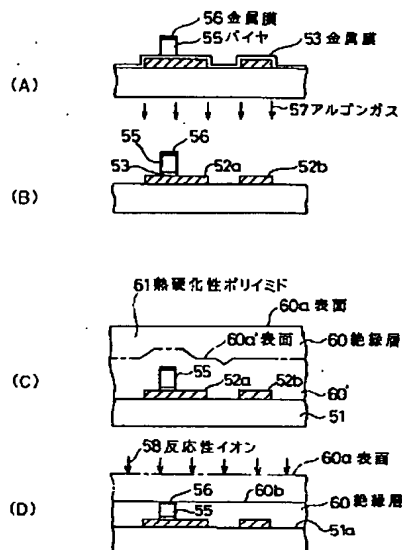
(54) 【発明の名称】 薄膜多層基板の製造方法

(57) 【要約】

【目的】 本発明は微細化、多層化が要求された薄膜多層基板の製造方法に関し、パイヤ及び層内導体の性能、及び信頼性を向上させることを目的とする。

【構成】 基板の母材51上に下層導体配線52a、52bを形成し、その次にパイヤ55を形成する。その次に絶縁層60を、表面60aがパイヤ55等の形状の影響を受けず平坦となる程度の厚さ寸法で形成する。その後、絶縁層60をドライエッチングして、パイヤ55の先端が露出し、且つ平坦である表面60bを形成する。そしてこの平坦な表面60b上に、パイヤ55と接触させて上層導体配線を形成する。これによりパイヤは独立して形成されるため、強固な構成とすることができ、上層導体配線は凹凸形状が無くなり、電気的な性能、及び信頼性が向上する。

図2における第1のレジストパターン剥離工程からドライエッチング工程までの各工程における状態を示す図



## 【特許請求の範囲】

【請求項1】 絶縁層（60）を挟んで上下部に配設された上層導体配線（66）と下層導体配線（52a）とが、パイヤ（55）により層間接続された薄膜多層基板の製造方法において、最初に、基板母材（51）上に形成された前記下層導体配線（52a）上に、前記パイヤ（55）のみを形成するパイヤ形成工程（22）を行い、その後、前記上層導体配線（66）を前記絶縁層（60）上に形成する上層導体配線形成工程（25）を行うことを特徴とする薄膜多層基板の製造方法。

【請求項2】 絶縁層（60）を挟んで上下部に配設された上層導体配線（66）と下層導体配線（52a）とが、パイヤ（55）により層間接続された薄膜多層基板の製造方法において、基板母材（51）上に前記下層導体配線（52a）を形成する下層導体配線形成工程（21）と、前記下層導体配線（52a）上に前記絶縁層（60）を形成する前に、前記パイヤ（55）を前記下層導体配線（52a）上に形成するパイヤ形成工程（22）と、前記絶縁層（60）を、前記下層導体配線（52a）及び前記パイヤ（55）の形状の影響を受けることなく平坦とされる第1の表面（60a）を形成し得る厚さ寸法で、前記基板母材（51）上に形成する絶縁層形成工程（23）と、前記絶縁層（60）を、該第1の表面（60a）から前記パイヤ（55）の先端部が露出するまで均一にエッチングし、前記パイヤ（55）の先端部が露出する高さにおいて、平坦とされる前記絶縁層の第2の表面（60b）を形成する絶縁層エッチング工程（24）と、該第2の表面（60b）に、前記パイヤ（55）と接触させて前記上層導体配線（66）を形成する上層導体配線形成工程（25）とを有することを特徴とする薄膜多層基板の製造方法。

【請求項3】 前記パイヤ形成工程（22）は、前記パイヤ（55）に対応したパターン（54a）を有したレジストパターン（54）を、前記下層導体配線（52a）上に形成するレジストパターン形成工程（33）と、前記レジストパターン（54）をマスクとして、前記パイヤ（55）をめっきにより形成するめっき工程（34）と、前記レジストパターン（54）を除去するレジストパターン剥離工程（36）とよりなることを特徴とする請求項1又は2記載の薄膜多層基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜多層基板の製造方法に係り、特にパターンの微細化、多層化が要求された薄膜多層基板の製造方法に関する。

【0002】 近年、コンピュータシステムの高速化に伴い、使用されるプリント基板には、パターンの微細化、基板サイズ的大型化、基板の多層化が要求され、この要求を満たす為に薄膜多層基板が提供されている。そして

この薄膜多層基板においても、パターンのより微細化、多層化が推進されており、これに伴い微細化、多層化される層間の接続VIA（以下、単にパイヤという）や、基板上の導体配線等の信頼性の向上が望まれている。

## 【0003】

【従来の技術】 図8乃至図10は従来の薄膜多層基板の製造方法の一例をその工程ごとに示した図であり、図8（A）から順に進み、図9を経由して図10（D）までにおいて一連の製造工程を表している。

10 【0004】 先ず、図8（A）に示すように基板の母材1上に下層導体配線2を形成し、引き続き図8（B）に示すようにその上面に絶縁層3を形成する。

【0005】 次に、後述するパイヤホール3aを形成する時のマスクとなるメタルマスク用金属膜4を、図8（C）に示すように、絶縁層3上にスパッタリングにより形成する。そして図8（D）に示すように、更にその上面に、パイヤホールのパターン5aを有したレジストパターン5を露光現像処理により形成する。

20 【0006】 次に、このレジストパターン5をマスクとしてメタルマスク用金属膜4をウェットエッチングし、図8（E）に示すようにメタルマスク用金属膜4にパイヤホールのパターン6aを形成する。パイヤホールのパターン6aが形成されたメタルマスク用金属膜4はこの時点でメタルマスク6となる。

30 【0007】 次に、このメタルマスク6をマスクとして絶縁層3をドライエッチングし、図9（A）に示すように絶縁層3にパイヤホール3aを形成する。そして、不要となったメタルマスク6をウェットエッチングにより除去して、絶縁層3へパイヤホール3aを形成する一連の工程が完了する（図9（B））。

【0008】 次に、パイヤ、及び上層導体配線の形成を行う。先ず、図9（C）に示すように、下地金属膜7をスパッタリングにより絶縁層3の上面全面、及びパイヤホール3aの内面上に形成する。

40 【0009】 次に、パイヤ、及び上層導体配線形成のためのレジストパターン8を形成する。これは、先ず図9（D）に示すように上記下地金属膜7上にレジスト9を塗布し、その上面にパイヤ、及び上層導体配線のパターン10a、10bを有したマスク10を載置する。そしてこの状態の基板を露光現像処理することにより、図9（E）に示すように、パイヤ、及び上層導体配線のパターン8a、8bを有したレジストパターン8が形成される。

【0010】 次に、このレジストパターン8をマスクとして下地金属膜7上に電解めっきを施し、図10（A）に示すように、パイヤ11、上層導体配線12、13を形成する。そして不要となったレジストパターン8を除去し（図10（B））、引き続いて不要となった下地金属膜7も除去する。

50 【0011】 以上の工程により、図10（C）に示すよ

うに、絶縁層3の上面に上層導体配線12、13が形成され、また、上層導体配線12と下層導体配線2とが上層導体配線12と一体的に形成されたパイヤ11により電氣的に層間接続される。

【0012】また、図8(B)から図10(C)に示す上述した各工程を再び繰り返すことにより、図10(D)に示す如く、絶縁層14、上層導体配線15、16、及びパイヤ17が上層導体配線12、13の更に上部に形成され、母材1上に2層の薄膜基板が形成される。そして更にこのような層を多数層重ねて形成することによって薄膜多層基板が形成されていた。

【0013】

【発明が解決しようとする課題】電解めっきによりパイヤ11、及び上層導体配線12、13を下地金属層7上に形成する図10(A)に示す工程において、パイヤホール3aの内側面に沿って形成されるパイヤ11は電解めっきの成長が悪く、上面に露出した上層導体配線12に比べてめっきによる導体の付着量が少ない。これは同図に示すようにパイヤホール3aの入口部分の角部3bの部分で特に顕著となり、角部3b上に付着する導体はその周囲に比べて極端に薄くなってしまふ。従って、パイヤ11は種々のストレスによりこの薄い部分で断線する可能性が高く、薄膜多層基板における層間接続の信頼性を低下させていた。

【0014】また、図8(B)に示すように、絶縁層3が下層導体配線2の上部に形成されてその表面が凹凸状となるため、上層導体配線12は図10(C)に示すように凹凸状となり、また、もう一方の上層導体配線13との間に段差が発生してしまふ。そしてこのような上層導体配線の凹凸形状、及び複数の上層導体配線間における段差は、図10(D)に示すように層数が増加すればするほど大きくなり、その結果、次に示す3つの課題が発生する。

【0015】①図9(D)に示すように、レジストパターン8形成時のマスク10は平らな面を有する平板状であるため、絶縁層3の凹凸状の表面に沿って塗布されて同様に凹凸状となったレジスト9の表面9aと、このマスク10との間に隙間18が発生する。そしてこの状態で露光すると、隙間18間において光の回り込みや、光の拡散等が発生し、図9(E)のパターン8bに見られるようにパターン8の形状が歪み、その結果、上層導体配線13の精度が低下してしまふ。

【0016】②図10(C)に示すように、上層導体配線12、13と下層導体配線2との夫々の間隔寸法 $T_1$ 、 $T_2$ が異なる寸法となるため、導体配線間のインピーダンス特性に影響を及ぼし、薄膜多層基板の電氣的特性上好ましくない。

【0017】③図10(D)に示すように複数層積層され、上層導体配線15の如く凹凸形状が激しくなると、傾斜の強い部分15a等に応力が集中してこの部分での

断線の可能性が高くなり、層内導体配線の信頼性が低下してしまふ。

【0018】そして上述した種々の課題により、薄膜多層基板の微細化、多層化が妨げられていた。

【0019】そこで本発明は上記課題に鑑みなされたもので、パイヤによる層間接続、及び層内導体配線の信頼性を向上させ、パターン8の微細化、多層化を図る薄膜多層基板の製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】図1は本発明の原理構成を示すフローチャートである。

【0021】上記目的を達成するために本発明は、絶縁層を挟んで上下部に配設された上層導体配線と下層導体配線とが、パイヤにより層間接続された薄膜多層基板の製造方法において、最初に、基板母材上に形成された前記下層導体配線上に、前記パイヤのみを形成するパイヤ形成工程(工程22)を行い、その後、前記上層導体配線を前記絶縁層上に形成する上層導体配線形成工程(工程25)を行う構成である。

【0022】具体的な製造方法としては、絶縁層を挟んで上下部に配設された上層導体配線と下層導体配線とが、パイヤにより層間接続された薄膜多層基板の製造方法において、基板母材上に前記下層導体配線を形成する下層導体配線形成工程(工程21)と、前記下層導体配線上に前記絶縁層を形成する前に、前記パイヤを前記下層導体配線上に形成するパイヤ形成工程(工程22)と、前記絶縁層を、前記下層導体配線及び前記パイヤの形状の影響を受けることなく平坦とされる第1の表面を形成し得る厚さ寸法で、前記基板母材上に形成する絶縁層形成工程(工程23)と、前記絶縁層を、該第1の表面から前記パイヤの先端部が露出するまで均一にエッチングし、前記パイヤの先端部が露出する高さにおいて、平坦とされる前記絶縁層の第2の表面を形成する絶縁層エッチング工程(工程24)と、該第2の表面に、前記パイヤと接触させて前記上層導体配線を形成する上層導体配線形成工程(工程25)とを有し、図1に示すように、工程21から工程25に向けて順に進める構成である。

【0023】

【作用】パイヤと上層導体配線とを夫々別々に形成することにより、パイヤ、及び上層導体配線は、夫々の最適条件で個々に形成することができる。即ち、めっきによってパイヤを形成していた従来の方法に比べて、パイヤを目的に合った形状、構成等に形成することができ、従来のような強度的に弱い部分を有さないパイヤを形成することができる。その結果、パイヤの断線は防止される。

【0024】また、具体的な製造方法においては、絶縁層形成工程において下層導体配線上に形成された絶縁層には平坦とされる第1の表面が形成されるため、絶縁層

エッチング工程により絶縁層が表面より均一にエッチングされると、絶縁層の表面が平坦に維持されたままエッチングが進行する。そしてエッチング終了状態では、平坦な絶縁層の第2の表面上にパイヤの先端部が露出する構成となる。従って、上層導体配線形成工程にて絶縁層の第2の表面上に形成される上層導体配線は、パイヤの先端部に接触し、しかも凹凸の無い平板状の形状となり、また、他に形成された上層導体配線との間にも段差が発生しない。

【0025】

【実施例】図2は本発明になる薄膜多層基板の製造方法の一実施例のフローチャート、図3は図2における下層導体配線形成工程31から第2のスパッタ工程35までの各工程における状態を示す図、図4は図2における第1のレジストパターン剥離工程36からドライエッチング工程39までの各工程における状態を示す図、図5は図2における第3のスパッタ工程40から第2の電解銅(Cu)めっき工程43までの各工程における状態を示す図、図6は図2における第2のレジストパターン剥離工程44、及び第2のイオンミリングエッチング工程45までの各工程における状態を示す図、図7は本実施例の薄膜多層基板の製造方法により導体配線が複数層形成された薄膜多層基板の一例の図である。

【0026】図2に示す各工程について図3乃至図7を併せ参照して説明する。

【0027】先ず第1の下層導体配線形成工程31を行う。これは図3(A)に示すように基板の母材51の上面51a上に銅(Cu)による下層導体配線52a、52bを形成する。

【0028】次に第1のスパッタ工程32を行う。これにより、約1 $\mu$ mの膜厚の金属膜53が図3(B)に示すように母材51と下層導体配線52a、52b上に一様に形成される。この金属膜53は下層導体配線52a、52b側に約0.2 $\mu$ mの厚さでスパッタリングされたクロム(Cr)53bと、その上方に約1 $\mu$ mの厚さでスパッタリングされた銅(Cu)53aとにより2層構造とされている。銅(Cu)53aは金属膜53の主要材料であり、クロム(Cr)53bは、銅(Cu)53aが下層導体配線52a、52bから剥離することを防止する作用をしている。

【0029】次に、この金属膜53上にレジストパターンを形成する第1のレジストパターン形成工程33を実施する。これには通常のレジスト技術が用いられ、先ず最初にレジストを10 $\mu$ m程度の膜厚で金属膜53上に塗布し、この上面にパターンを有したマスク設置して露光現像処理することにより、図3(C)に示すようにパイヤのパターン54aを有したレジストパターン54を形成する。

【0030】そして次に第1の電解銅(Cu)めっき工程34を行う。ここでは、上記レジストパターン54をマ

スクとし、金属膜53を電極として電解めっきを行う。これにより、パイヤのパターン54a内に金属膜53の上面から順にめっきの成長が行われ、図3(D)に示すように、パイヤ55となる導体がパターン54a内に形成される。

【0031】次に第2のスパッタ工程35を行う。これは、パイヤ55が後で行われるドライエッチングによって侵食されないように、例えば白金(Pt)等の耐ドライエッチング性の金属をパイヤ55の表面に形成する目的で行われる。この工程により図3(E)に示すように、白金(Pt)の金属膜56がレジストパターン54、及びパイヤ55の表面上に一様に形成される。

【0032】次に第1のレジストパターン剥離工程36を行う。ここでは、図3(E)に示す状態の基板を剥離液に通すことによって、パイヤ55の形成が完了して不要となったレジストパターン54を剥離除去する。また、上記の如く金属膜56はパイヤ55の表面のみに必要とされるため、上記レジストパターン54の剥離除去を利用してレジストパターン54上の金属膜56を除去する(リフトオフ法)。レジストパターン54、及び不要部分の金属膜56が除去された状態を図4(A)に示す。

【0033】次に第1のイオンミリングエッチング工程37を行う。第1のスパッタ工程32による金属膜53はパイヤ55の形成のために形成されたものであり、この時点においては不要である。従って図4(B)に示すようにアルゴン(Ar)ガス57を使用してイオンミリングエッチングを行い、パイヤ55の部分を除く金属膜53の除去を行う。ここで、パイヤ55の上面には上記の如く耐ドライエッチング性の金属膜56が形成されているため、このイオンミリングエッチングにおいても効果があり、パイヤ55の侵食が防止される。

【0034】上記第1のスパッタ工程32からこの第1のイオンミリングエッチング工程37までの一連の工程が、パイヤ55を下層導体配線52a上に形成するパイヤ形成工程を構成する。

【0035】次にポリイミド塗布・熱硬化工程38により絶縁層の形成を行う。これは熱硬化性ポリイミド61を、図4(C)に示すように、母材51の上記下層導体配線52a、52b等が形成された面全体に均一に塗布し、これを窒素(N<sub>2</sub>)ベーク炉(図示せず)内にて熱硬化させて絶縁層60を形成する。

【0036】ここで塗布された熱硬化性ポリイミド61の膜厚について考える。母材51上にはパイヤ55、下層導体配線52a、52b等が形成されて凹凸状となっている。このため、塗布された熱硬化性ポリイミド61の膜厚が薄いと、図4(C)中、一点鎖線で示されるように絶縁層60'の表面60a'は下部の形状の影響を受けて凹凸状となり、従来における問題がここでも発生してしまう。そこで、図4(C)中、実線で示すよう

に、同膜厚をパイヤ55の先端の高さ寸法の2倍程度として絶縁層60を形成すると、絶縁層60の表面60aはパイヤ55、下層導体配線52a、52bの形状の影響を受けなくなり、凹凸形状のない平坦な表面となる。

【0037】次にドライエッチング工程39を行う。これは、RIE(Reactive Ion Etching=反応性イオンエッチング)装置にて、酸素ガス( $O_2$ )又は、( $O_2 + CF_4$ )ガスを使い、有機材である上記絶縁層60をエッチングする。この時、図4(D)に示すように絶縁層60の平坦な表面60aに反応性イオン58の照射方向が正対するように基板を装置内に設置して行う。このようにすると、エッチングによる絶縁層60の侵食が当初の表面60aから均一に進み、絶縁層60がエッチングされて形成される新たな表面は、当初の表面60aと平行であり、且つ平坦な面が常に維持される。

【0038】そして図4(D)に実線で示すように、エッチングされてできた新たな表面60bから、パイヤ55の先端部に設けられた金属膜56が露出した時点でこのドライエッチング工程39が完了する。このドライエッチング時において、パイヤ55は金属膜56に保護されて侵食が防止される。

【0039】ここで、絶縁層60は母材51上に均一に塗布されているため、当初の表面60aは母材51の上面51aと平行である。従って、上記の如くドライエッチング工程39によりエッチングされた絶縁層60の新たな表面60bは、母材51の上面51aと平行、且つ平坦な面となり、しかもパイヤ55の一部を露出した構成となっている。

【0040】そして、図4(D)に示される状態の基板を、 $10^{-1}$ Pa程度の真空中にて200℃で1時間の加熱処理を行う。この加熱処理により、絶縁層60が吸着した水分が除去されると共に、絶縁層60上に付着した有機物が分解、固着し、後に絶縁層60上に形成される金属膜62の部分的欠落が減少し、絶縁層60と金属膜62との密着性が向上する。

【0041】以上のように、ポリイミド塗布・熱硬化工程38と、ドライエッチング工程39とにより、母材51の上面51aと平行、且つ平坦な面であり、しかもパイヤ55の一部を露出した表面60bを有する絶縁層60の形成が行われる。

【0042】次に第3のスパッタ工程40を行う。これは図5(A)に示すように、上層導体配線を形成するための下地となる金属膜62をスパッタリングにより上記表面60b、及びパイヤ55上に平面状に形成する。この金属膜62も上記金属膜53と同様に、約0.2 $\mu$ mの厚さでスパッタリングされたクロム(Cr)62bと、その上方に約1 $\mu$ mの厚さでスパッタリングされた銅(Cu)62aとにより2層構造とされ、クロム(Cr)62bは、銅(Cu)62aが絶縁層60から剥離することを防止する作用をしている。

【0043】次に、この金属膜62上にレジストパターンを形成するためにレジスト塗布・マスク装着工程41を行う。これは、図5(B)に示すようにレジスト63を10 $\mu$ m程度の膜厚寸法で金属膜62上に塗布し、その上面に上層導体配線のパターン64aを有したマスク64を設置する。この後、レジスト63を露光、そして現像処理することにより、レジスト露光現像処理工程42を行う。この露光現像処理により図5(C)に示すようにレジスト63に上層導体配線のパターン65aが形成される。

【0044】上記の如くレジスト塗布・マスク装着工程41と、レジスト露光現像処理工程42とにより第2のレジストパターン形成工程が構成され、上層導体配線のパターン65aを有したレジストパターン65が金属膜62上に形成される。

【0045】次に第2の電解銅(Cu)めっき工程43を行う。これは上記レジストパターン65をマスクとし、金属膜62を電極として行われ、図5(D)に示すように、パターン65a内の金属膜62上に銅(Cu)めっきが成長し、上層導体配線66が形成される。

【0046】次に第2のレジストパターン剥離工程44を行う。これは第1のレジストパターン剥離工程36と同様に基板を剥離液に通すことにより、化学的にレジストパターン65を金属膜62から剥離除去する。レジストパターン65が除去された状態を図6(A)に示す。

【0047】次に、第2のイオンミリングエッチング工程45を行う。これは、図6(A)に示す状態では、例えば上層導体配線66と他の上層導体配線66Aとが金属膜62により電気的に接続されているため、不要部分の金属膜62を除去することを目的としている。第1のイオンミリングエッチング工程37にて使用した装置に基板を再度設置し、イオンミリングエッチングすることにより、図6(B)に示す如く上層導体配線66、66A以外の部分の金属膜62を除去する。

【0048】上記第3のスパッタ工程40から第2のイオンミリングエッチング工程45までの一連の工程が、上層導体配線66をパイヤ55に接続させて絶縁層60上に形成する上層導体配線形成工程を構成する。

【0049】このように、最初の下層導体配線形成工程31から上記第2のイオンミリングエッチング工程45までの一連の工程により、図6(B)に示すように、基板の母材51上の下層導体配線52a、52b上に絶縁層60を挟んで上層導体配線66が形成され、しかも下層導体配線52aと上層導体配線66とがパイヤ55により電気的に接続された2層の薄膜多層基板が形成される。そして、この一連の工程を再度繰り返すことにより、例えば図7に示すような3層の薄膜多層基板70を形成することができ、更に、これを多数回繰り返すことによって、多層の薄膜多層基板が形成される。

【0050】このように本実施例の薄膜多層基板の製造

方法によれば、パイヤ55と上層導体配線66とが夫々別工程によって形成されるため、パイヤ55の形状、構成等を上層導体配線66の形成に関係無く選定することができる。即ち、パイヤ55を本実施例のように強度的に強固な円柱形状とすることができ、これによってパイヤ55の断線の可能性は従来に比べて格段に低下する。

【0051】また、上述したように、ポリイミド塗布・熱硬化工程38と、ドライエッチング工程39により絶縁層60の表面60bが、母材51の上面51aと平行、且つ平坦な面となるため、従来における上層導体配線の凹凸形状、及び段差による問題点が解決され、以下に示す効果を有する。

【0052】①図5(B)に示す如く、絶縁層60の表面60bに沿って形成されるレジスト63の表面63aも平坦な面となるため、平板状のマスク64との間に隙間は形成されず、露光現像によるパターン転写の精度が従来に比べて向上する。その結果、精度の良い上層導体配線を形成することができる。

【0053】②図7に示す如く、2層目の上層導体配線66、67、及び3層目の上層導体配線68、69は、母材51の上面51aに平行、且つ平坦な面60b、及び面71a上に形成されるため、層間における各導体配線間の間隔寸法が均一となる。その結果、従来のように不均一な間隔寸法が薄膜多層基板のインピーダンス特性に影響を及ぼすことが無くなり、薄膜多層基板の電気的特性が従来に比べて良好となる。

【0054】③図7に示す上層導体配線66～69に示す如く、上層導体配線は多数層重ねて形成されても常に平板状に形成されるため、応力集中による上層導体配線断線の可能性が低下する。

【0055】このように本実施例の薄膜多層基板の製造方法によって、パイヤ55による層間接続の信頼性の向上、及び上層導体配線66～69の精度向上に起因する性能、信頼性の向上が期待でき、これにより、薄膜多層基板の微細化、多層化を更に進めることが可能となる。また、本実施例の製造方法は多数の工程を有し複雑であるが、第3のスパッタ工程40から第2のイオンミリングエッチング工程45までの上層導体配線形成工程は、第1のスパッタ工程32から第1のイオンミリングエッチング工程37までのパイヤ形成工程を再び繰り返して行っているにすぎない。このため、本実施例の薄膜多層基板の製造方法は、作業工程、製造設備ともに従来の製造方法と事実上変わらないものである。

【0056】尚、本発明は上記実施例に限定されるものではなく、金属膜53、56、62の形成はスパッタリングではなく、無電解めっきや蒸着等による方法によって形成してもよい。また、金属構成は、金属膜53、62に関しては、表面が銅(Cu)であるならば、本実施例以外の金属構成であってもよく、金属膜56に関しては、金(Au)等の不活性金属であってもよい。また、絶

縁層60の材料は本実施例の熱硬化性ポリイミドに限らず、エポキシ、及びふっ素系の合成樹脂等であってもよい。

【0057】

【発明の効果】以上のように請求項1の発明によれば、パイヤと上層導体配線とを別工程によって形成することにより、パイヤを上層導体配線の形成に関係無く最適な形状、及び構成で形成することができ、従来の如く強度的に弱い部分を排除することができる。その結果、パイヤの断線の可能性を従来に比べて格段に低下することができる。

【0058】また、請求項2の発明によれば、絶縁層の表面が、基板母材と平行、且つ平坦な面となるため、従来における上層導体配線の凹凸形状、及び段差による問題点が解決され、①上層導体配線の精度の向上、②薄膜多層基板の電気的特性の向上、③上層導体配線断線の可能性の低下、等の効果が期待できる。

【0059】以上の効果により、パイヤによる層間接続の信頼性の向上と、上層導体配線の性能、信頼性の向上が期待でき、薄膜多層基板の微細化、多層化を更に進めることが可能となる。

【図面の簡単な説明】

【図1】本発明の原理構成を示すフローチャートである。

【図2】本発明になる薄膜多層基板の製造方法の一実施例のフローチャートである。

【図3】図2における下層導体配線形成工程から第2のスパッタ工程までの各工程における状態を示す図である。

【図4】図2における第1のレジストパターン剥離工程からドライエッチング工程までの各工程における状態を示す図である。

【図5】図2における第3のスパッタ工程から第2の電解銅(Cu)めっき工程までの各工程における状態を示す図である。

【図6】図2における第2のレジストパターン剥離工程、及び第2のイオンミリングエッチング工程における状態を示す図である。

【図7】本実施例の薄膜多層基板の製造方法により導体配線が複数層形成された薄膜多層基板の一例の図である。

【図8】従来の薄膜多層基板の製造方法の一例をその工程ごとに示した図である。

【図9】従来の薄膜多層基板の製造方法の一例をその工程ごとに示した図である。

【図10】従来の薄膜多層基板の製造方法の一例をその工程ごとに示した図である。

【符号の説明】

21～25、31～45 工程

51 母材



11

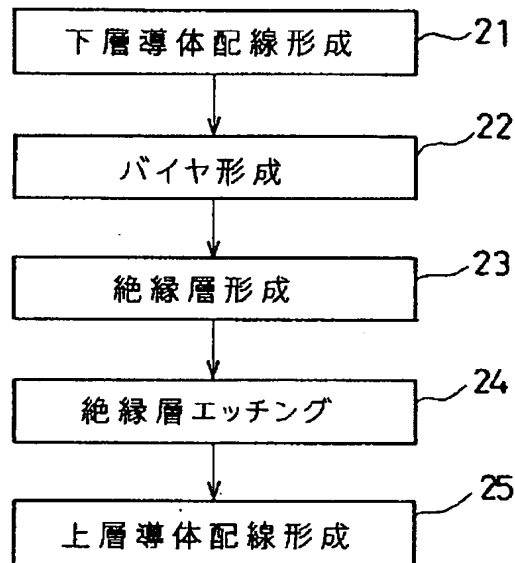
12

52a, 52b 下層導体配線  
 53, 56, 62 金属膜  
 54, 65 レジストパターン  
 55 バイヤ  
 58 反応性イオン

60 絶縁層  
 60a, 60b 表面  
 64 マスク  
 66~69 上層導体配線  
 70 薄膜多層基板

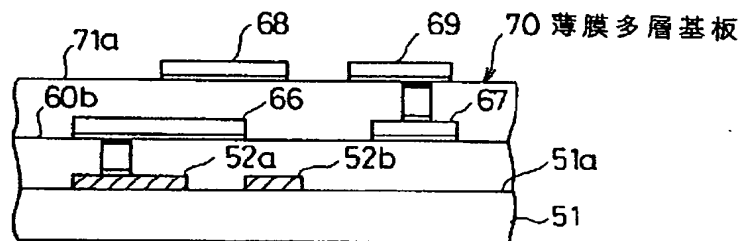
【図1】

本発明の原理構成を示すフローチャート



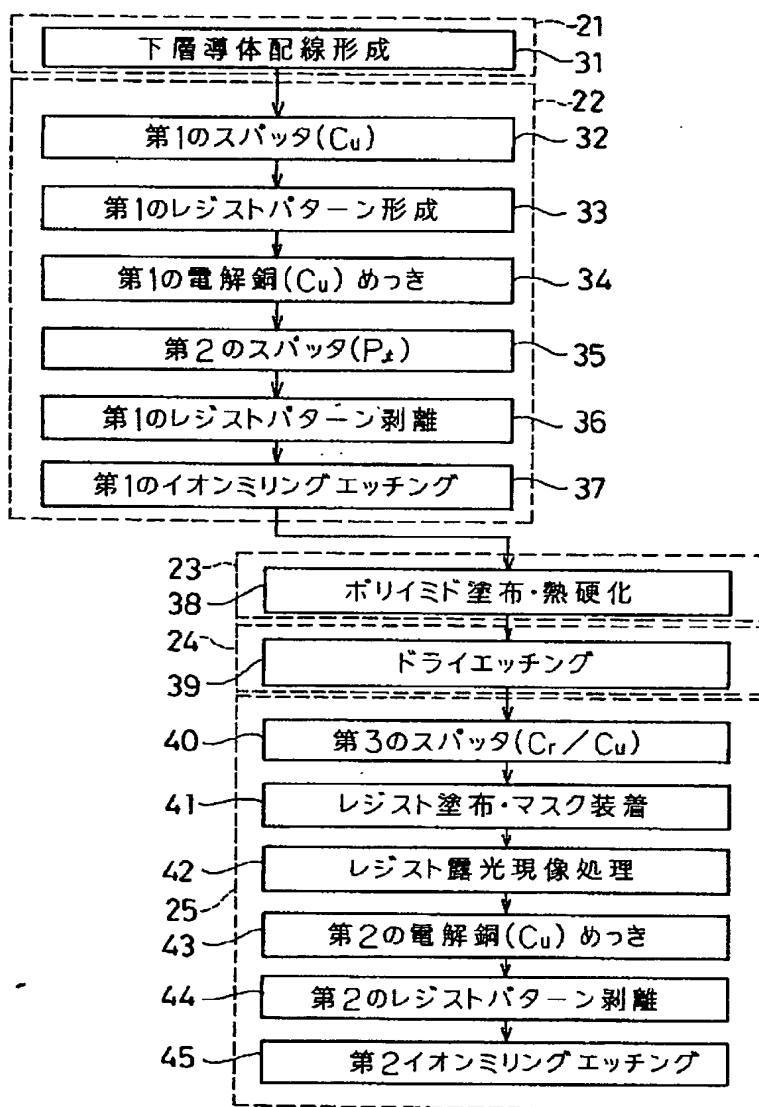
【図7】

本実施例の薄膜多層基板の製造方法により  
 導体配線が複数層形成された薄膜多層基板  
 の一例の図



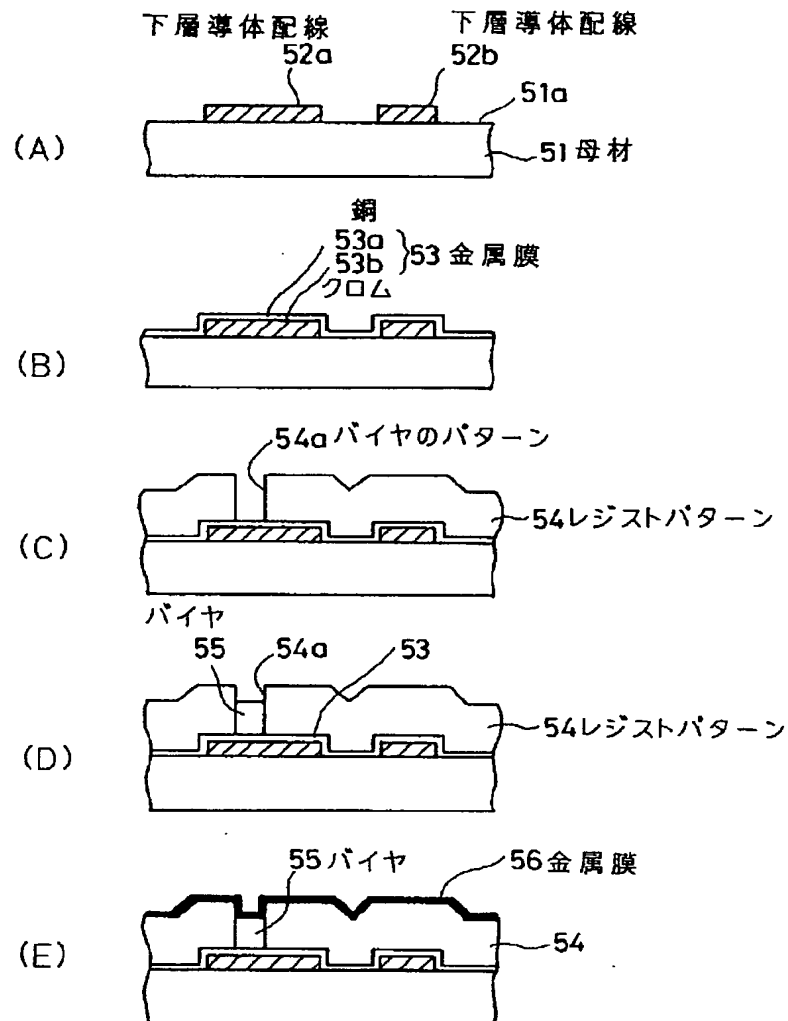
【図2】

本発明になる薄膜多層基板の製造方法の一実施例のフローチャート



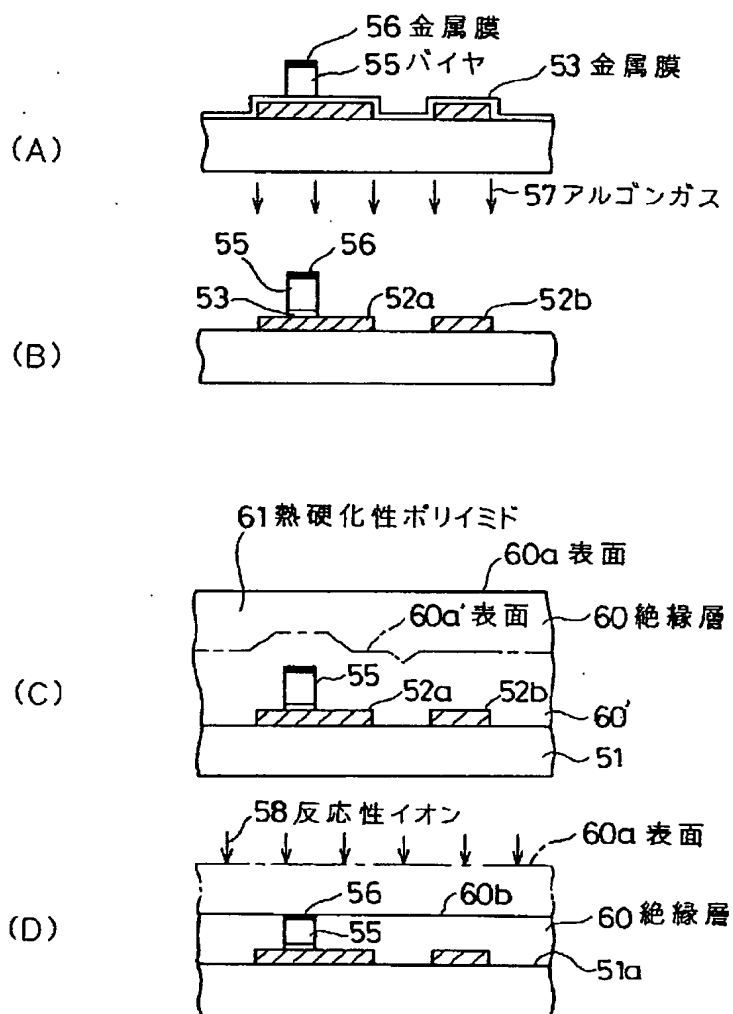
【図3】

図2における下層導体配線形成工程から第2のスパッタ工程までの各工程における状態を示す図



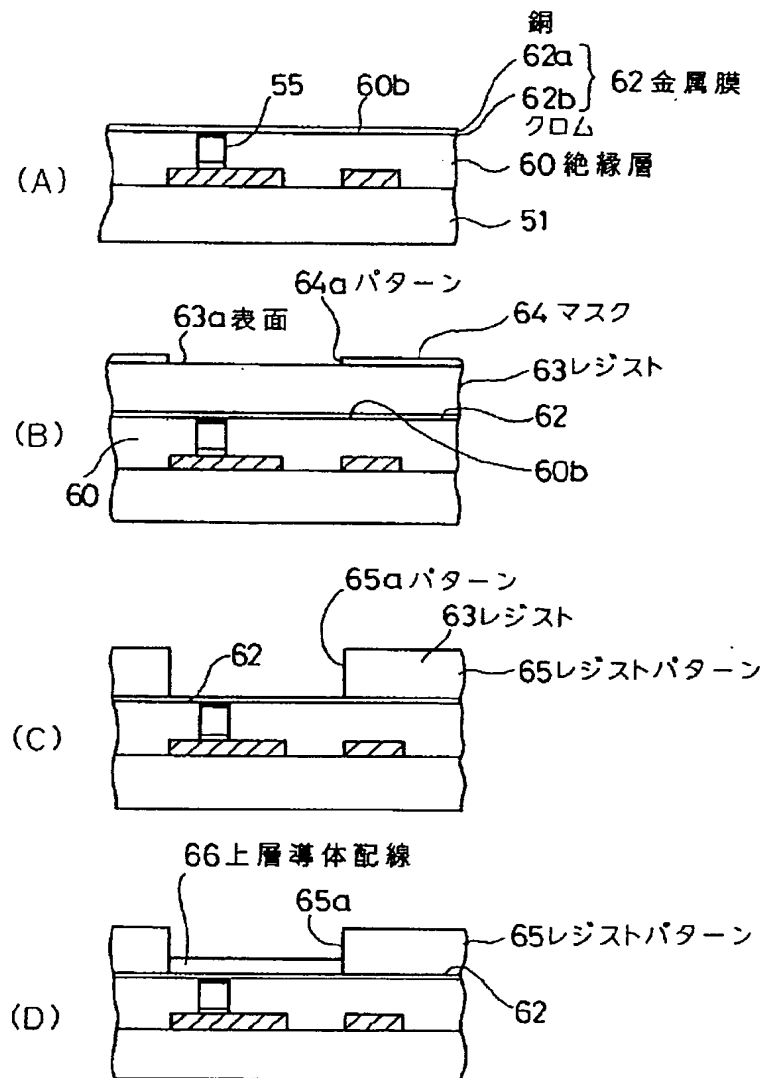
【図4】

図2における第1のレジストパターン剥離工程からドライエッチング工程までの各工程における状態を示す図



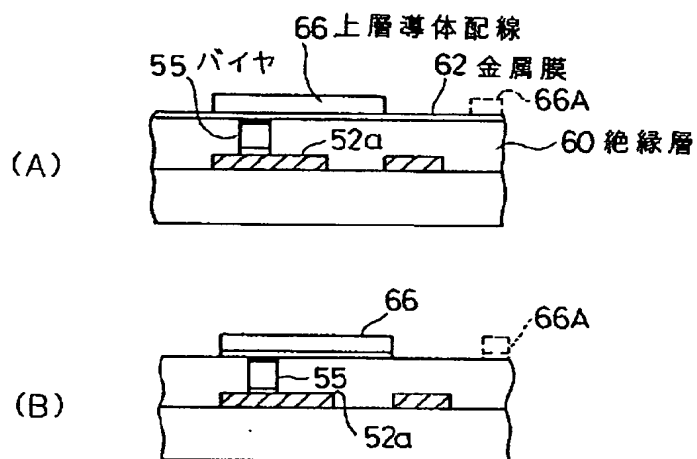
【図5】

図2における第3のスパッタ工程から第2の電解銅(Cu)めっき工程までの各工程における状態を示す図



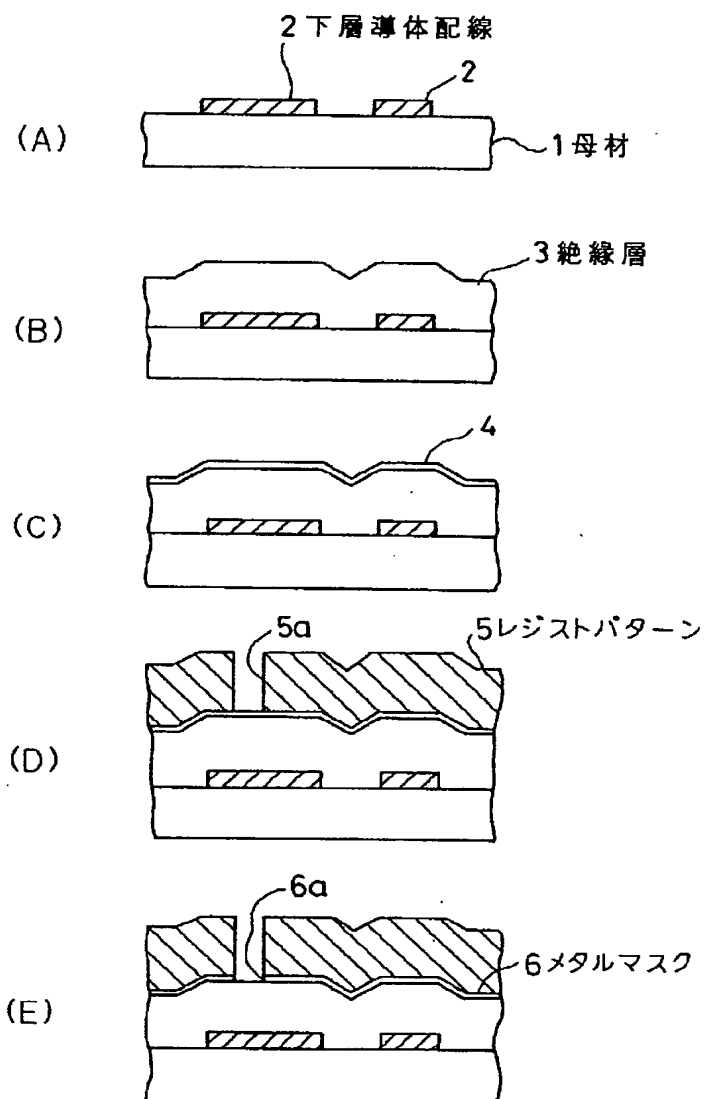
【図6】

図2における第2のレジストパターン剥離工程  
及び第2のイオンミリングエッチング工程における  
状態を示す図



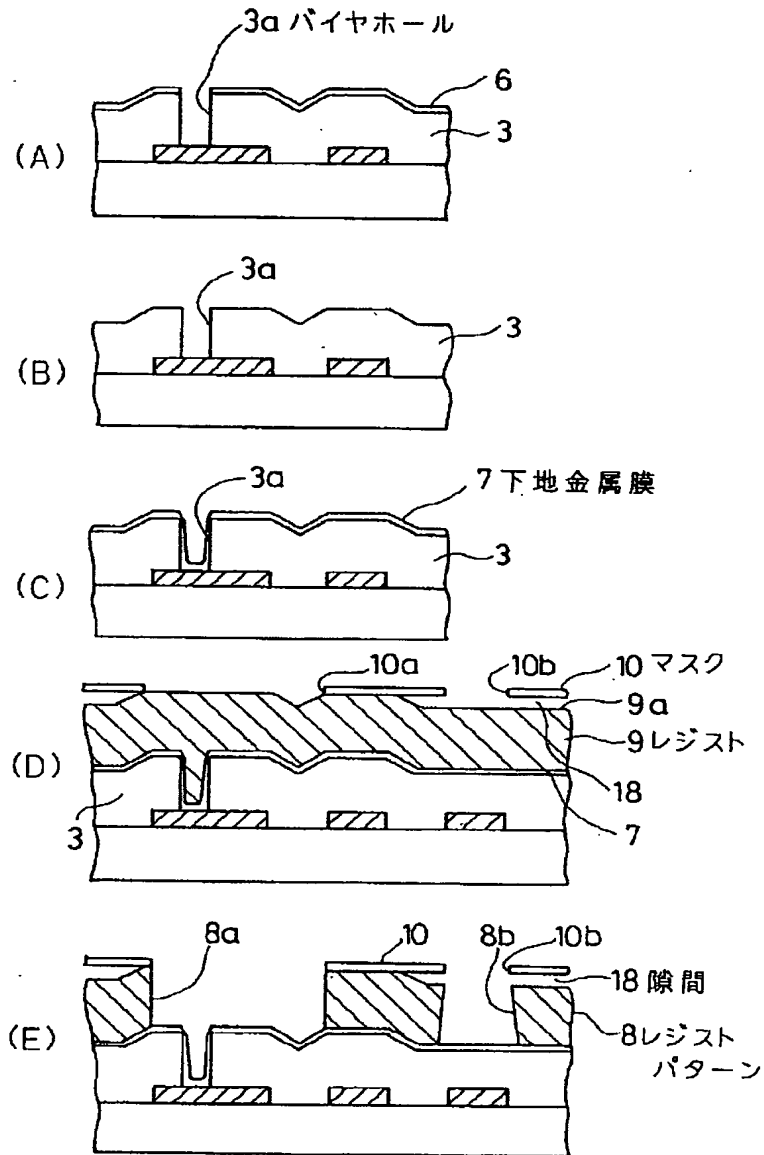
【図8】

従来の薄膜多層基板の製造方法の一例をその工程ごとに示した図



【図9】

従来の薄膜多層基板の製造方法の一例を  
その工程ごとに示した図





【図10】

従来の薄膜多層基板の製造方法の一例を  
その工程ごとに示した図

